

PRIORITY DOCUMENT

Issue Number : 5-5-2006-006473547

PRIORITY DOCUMENT



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-1999-0044651
Application Number

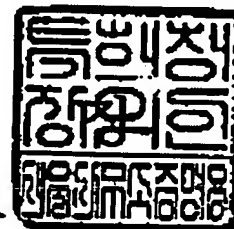
출원 년 월 일 : 1999년 10월 15일
Date of Application OCT 15, 1999

출원 인 : 앰코 테크놀로지 코리아 주식회사
Applicant(s) Amkor Technology Korea, Inc.



2006년 02월 08일

특 허 청



Best Available Copy COMMISSIONER

◆ This certificate was issued by Korean Intellectual Property Office. Please confirm any forgery or alteration of the contents by an issue number or a barcode of the document below through the KIPOnet- Online Issue of the Certificates' menu of Korean Intellectual Property Office homepage (www.kipo.go.kr). But please notice that the confirmation by the issue number is available only for 90 days.

【서지사항】

【서류명】 출원인명의변경신고서
【수신처】 특허청장
【제출일자】 2000.05.02
【구명의인(양도인)】
【명칭】 아남반도체 주식회사
【출원인코드】 119980026719
【신명의인(양수인)】
【성명】 앰코 테크놀로지 코리아 주식회사
【출원인코드】 119990323911
【대리인】
【성명】 주성민
【대리인코드】 919980005177
【대리인】
【성명】 장수길
【대리인코드】 919980004828
【사건의 표시】
【출원번호】 1019990044651
【출원일자】 1999.10.15
【발명의 명칭】 반도체패키지
【변경원인】 전부양도
【취지】 특허법 제38조제4항 실용신안법 제20조 의장법 제24조 및 상표법 제12조제1항의 규정에 의하여 위와 같이 신고합니다.
【수수료】 13000
【첨부서류】 양도증(사본은 동일자로 제출되는 특허번호 제10-70556호

의 권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록은 해당부분만 첨부))1통 기타 법령에서 정한 증명서류(양도인의 법인인감증명서-사본은 동일자로 제출되는 특허번호 제10-70556호의 권리의 이전등록신청서에 첨부된 것을 원용함)1통 기타 법령에서 정한 증명서류(위임장-양도인의 위임장-사본은 동일자로 제출되는 특허번호 제10-70556호의 권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록은 해당부분만 첨부))1통 기타 법령에서 정한 증명서류(위임장-양수인의 위임장-사본은 동일자로 제출되는 특허번호 제10-70556호의 권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록은 해당부분만 첨부))1통

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0007
【제출일자】	1999.10.15
【국제특허분류】	H01L
【발명의 국문명칭】	반도체패키지
【발명의 영문명칭】	semiconductor package
【출원인】	
【명칭】	아남반도체주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	1999-045485-8
【대리인】	
【성명】	최용원
【대리인코드】	9-1998-000658-1
【포괄위임등록번호】	1999-045486-5
【발명자】	
【성명의 국문표기】	서무환
【성명의 영문표기】	SEO, Mu Hwan
【주민등록번호】	610308-1025814
【우편번호】	471-010
【주소】	경기도 구리시 인창동 건영아파트 105동 1102
【국적】	KR
【발명자】	

【성명의 국문표기】 이태헌
【성명의 영문표기】 LEE, Tae Heon
【주민등록번호】 590821-1551115
【우편번호】 471-010
【주소】 경기도 구리시 인창동 668-1 인창6단지 주공아파트 602동
 1504

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

서만규 (인)

대리인

최용원 (인)

【수수료】

【기본출원료】 11 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 29,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통



【요약서】

【요약】

이 발명은 반도체패키지에 관한 것으로, MLF(Micro LeadFrame)형 반도체패키지에서 그 두께를 더욱 얇게 하기 위해, 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리 이격되어 형성된 다수의 내부리드와; 상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등을 봉지재로 봉지하되, 상기 칩탑재판 및 내부리드의 저면과 측면은 외부로 노출되도록 봉지하여 형성된 패키지몸체로 이루어진 반도체패키지에 있어서, 상기 칩탑재판은 상면 전체에 할프에칭면이 형성되어 내부리드의 두께보다 얇게 형성된 것을 특징으로 하는 반도체패키지.

【대표도】

도 2

**【명세서】****【발명의 명칭】**

반도체패키지{semiconductor package}

【도면의 간단한 설명】

- <1> 도1a 및 도1b는 종래의 반도체패키지를 도시한 단면도 및 저면도이다.
- <2> 도2는 본 발명에 의한 반도체패키지를 도시한 단면도이다.
- <3> - 도면중 주요 부호에 대한 설명 -
- <4> 100; 반도체패키지 2; 반도체칩
- <5> 2a; 입출력패드 4; 칩탑재판
- <6> 4c; 칩탑재판의 할프에칭면 6; 내부리드
- <7> 6a; 내부리드의 할프에칭부 8; 도전성와이어
- <8> 10; 패키지몸체 28; 타이바

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 MLF(Micro LeadFrame)형 반도체패키지에서 그 두께를 더욱 얇게 할 수 있는 반도체패키지에 관한 것이다.

<10> 최근의 전자기기 예를 들면, 휴대폰, 셀룰러 폰, 노트북 등의 마더보드에는 많은 수의 반도체칩들이 패키징되어 최소 시간내에 그것들이 다기능을 수행할 수 있도록 설계되는 동시에, 전자기기 자체가 초소형화 되어 가는 추세에 있다. 이에 따라 반도체칩이 고집적화됨은 물론, 이를 패키징한 반도체패키지의 크기도 축소되고 있으며, 또한 실장밀도도 고밀도화되어 가고 있다.

<11> 이러한 추세에 따라 최근에는 반도체칩의 전기적 신호를 마더보드로 전달해 줄은 물론 마더보드(mother board) 상에서 일정한 형태로 지지되도록 하는 반도체 패키지의 크기가 대략 $1 \times 1\text{mm} \sim 10 \times 10\text{mm}$ 내외로 개발되고 있으며, 이러한 반도체 패키지의 예로서 MLF(Micro LeadFrame)형 패키지 등이 알려져 있다.

<12> 여기서 상기 MLF형 패키지(100')를 도1a 및 도1b에 도시하였다.

<13> 도시된 바와 같이 상면에 다수의 입출력패드(2a)가 형성된 반도체칩(2)이 구비되어 있고, 상기 반도체칩(2)의 저면에는 접착제로 칩탑재판(4)이 접착되어 있다. 상기 칩탑재판(4)은 측면 둘레에 할프에칭부(4a)가 형성되어 있고 모서리에는 외측으로 연장되고 역시 할프에칭부(도시되지 않음)가 구비된 타이바(28)가 형성되어 있다. 상기 칩탑재판(4)의 외주연에는 방사상으로 배열되어 있으며 칩탑재판(4)을 향하는 단부에 할프에칭부(6a)가 형성된 다수의 내부리드(6)가 구비되어 있다. 상기 반도체칩(2)의 입출력패드(2a)와 내부리드(6)는 도전성와이어(8)에 의해 서로 전기적으로 접속되어 있다. 계속해서 상기 반도체칩(2), 도전성와이어(8), 칩탑재판(4) 및 내부리드(6)는 봉지재로 봉지되어 소정의 패키지몸체(10)를 형성하고 있으며, 상기 칩탑재판(4), 내부리드(6) 및 타이바(28)의 저면은 패키지몸체



(10) 저면으로 노출되어 있다.

<14> 그러나 상기와 같은 종래의 반도체패키지는 내부리드의 두께와 칩탑재판의 두께가 동일함으로써 반도체패키지의 전체적인 두께를 얇게 하는데 한계가 있다. 또한, 상기 칩탑재판과 내부리드의 두께가 동일함으로써 상기 칩탑재판에 탑재된 반도체칩의 입출력패드 위치가 내부리드의 위치에 비해 훨씬 높은 곳에 위치하기 때문에 그 반도체칩과 내부리드 사이를 연결하는 도전성와이어의 루프 하이트(loop height)도 커지는 문제점이 있다. 상기와 같이 루프 하이트가 크게되면 반도체패키지의 제조 공정(특히 봉지 공정)중 와이어 스위핑(wire sweeping) 문제가 발생할 수 있다.

<15> 한편, 상기와 같은 종래의 반도체패키지에서 그 두께를 감소시키기 위한 기술로 반도체칩을 백그라인딩(back grinding)한 후 상기 칩탑재판에 탑재하는 기술이 알려져 있다. 그러나, 이는 반도체칩에 많은 악영향을 끼친다. 즉, 얇아진 반도체칩은 워페이지(warping)되기 쉬어 내부의 집적회로가 손상되거나 또는 크랙되는 경우가 있고, 또한 상기 백그라인딩 공정중 반도체칩 자체가 크랙되어 파손될 수도 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 반도체칩을 백그라인딩하지 않으면서도 반도체패키지의 두께를 초박형화 할 수 있는 반도체패키지를 제공하는데 있다.

【발명의 구성】

<17> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 다수의 입출력 패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리 이격되어 형성된 다수의 내부리드와; 상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등을 봉지재로 봉지하되, 상기 칩탑재판 및 내부리드의 저면과 측면은 외부로 노출되도록 봉지하여 형성된 패키지몸체로 이루어진 반도체패키지에 있어서, 상기 칩탑재판은 상면 전체에 할프에칭면이 형성되어 내부리드의 두께보다 얇게 형성된 것을 특징으로 한다.

<18> 여기서, 상기 칩탑재판은 그 두께가 내부리드 두께의 대략 25~75%로 함이 바람직하다.

<19> 상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 칩탑재판의 상면 전체에 할프에칭면을 형성하여, 칩탑재판 자체의 두께를 내부리드와 비교하여 얇게 함으로써 결국 반도체패키지의 두께를 종래에 비해 더욱 박형화 할 수 있게 된다.

<20> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<21> 도2는 본 발명에 의한 반도체패키지(100)를 도시한 단면도이다.

<22> 도시된 바와 같이 다수의 입출력패드(2a)가 형성된 반도체칩(2)이 구비되어

있고, 상기 반도체칩(2)의 저면에는 칩탑재판(4)이 접착제로 접착되어 있다. 상기 칩탑재판(4)의 외주연에 일정거리 이격되어서는 다수의 내부리드(6)가 형성되어 있고, 상기 반도체칩(2)의 입출력패드(2a)와 내부리드(6)는 도전성와이어(8)로 연결되어 있다. 상기 반도체칩(2), 도전성와이어(8), 칩탑재판(4) 및 내부리드(6) 등은 봉지재로 봉지되어 있되, 상기 칩탑재판(4) 및 내부리드(6)의 저면과 측면은 외부로 노출되도록 봉지되어 패키지몸체(10)를 형성하고 있으며, 이상의 구조는 종래와 동일하다.

<23> 단, 본 발명은 상기 칩탑재판(4)의 상면 전체에 할프에칭면(4c)이 형성됨으로써 내부리드(6)의 두께(h1)보다 상기 칩탑재판(4)의 두께(h2)가 더욱 얇게 형성된 것이 특징이다.

<24> 상기 칩탑재판(4)의 두께(h2)는 내부리드(6)의 두께(h1)에 비하여 대략 25~75%가 되도록 함이 바람직하지만 이를 한정하는 것은 아니다.

<25> 또한, 상기 칩탑재판(4)의 상면 전체에 할프에칭면(4c)을 형성하는 공정은 통상 내부리드(6)에 할프에칭부(6a)를 형성하는 동안 동시에 형성함이 바람직하지만 이를 한정하는 것은 아니다.

<26> 상기와 같이 칩탑재판(4)의 상면 전체에 할프에칭면(4c)을 형성함으로써 결국 그것에 탑재되는 반도체칩(2)의 높이도 동시에 작아지게 된다. 그러면, 도전성 와이어(8)의 루프 하이트도 작아지게 되고 따라서 반도체패키지(100)의 봉지 공정 동안 발생하던 종래의 와이어 스위핑 문제도 억제된다. 또한 반도체칩(2)의 높이가 종래보다 작아짐으로써 패키지몸체(10)의 두께도 작아지게 되어 결국 반도체패키지

(100)의 두께가 종래보다 박형화되는 것이다.

<27> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

【발명의 효과】

<28> 따라서 본 발명에 의한 반도체패키지에 의하면, 칩탑재판의 상면 전체에 할프에칭면을 형성하여, 칩탑재판 자체의 두께를 내부리드와 비교하여 얇게 함으로써 결국 패키지몸체 즉, 반도체패키지의 두께를 종래에 비해 더욱 박형화할 수 있는 효과가 있다.

<29> 또한 칩탑재판의 두께가 작아짐으로써 그것에 탑재되는 반도체칩의 높이도 작아져 상기 반도체칩과 내부리드를 연결하는 와이어의 루프 하이트도 작아져 와이어 스위핑 문제도 해결할 수 있게 된다.

【특허청구범위】**【청구항 1】**

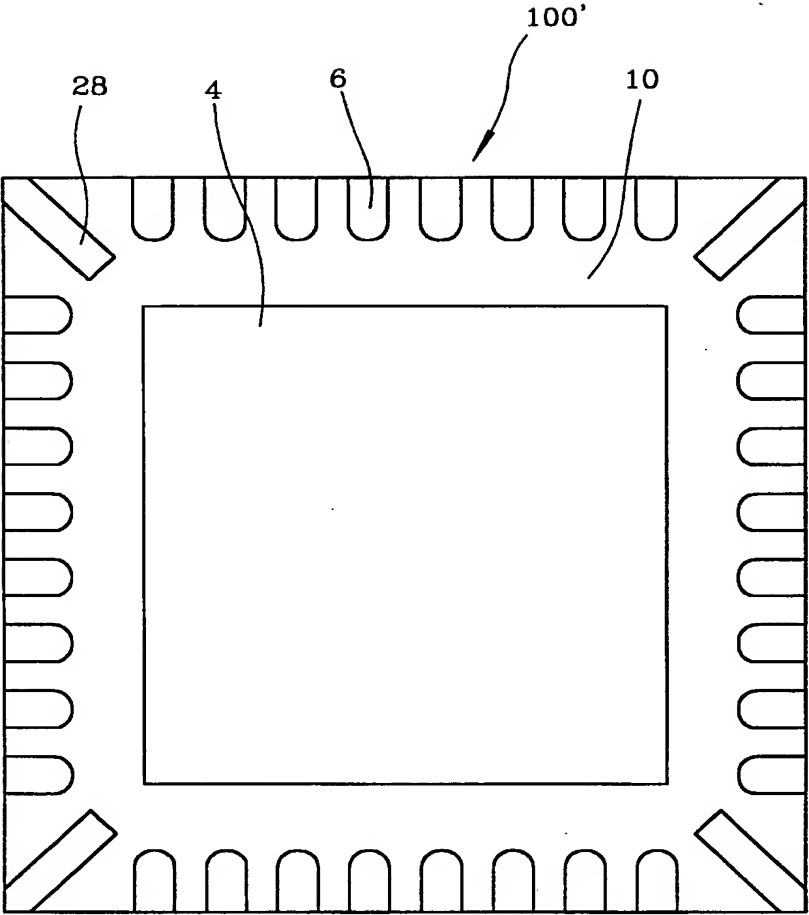
다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리 이격되어 형성된 다수의 내부리드와; 상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등을 봉지재로 봉지하되, 상기 칩탑재판 및 내부리드의 저면과 측면은 외부로 노출되도록 봉지하여 형성된 패키지몸체로 이루어진 반도체패키지에 있어서,

상기 칩탑재판은 상면 전체에 할프에칭면이 형성되어 내부리드의 두께보다 얇게 형성된 것을 특징으로 하는 반도체패키지.

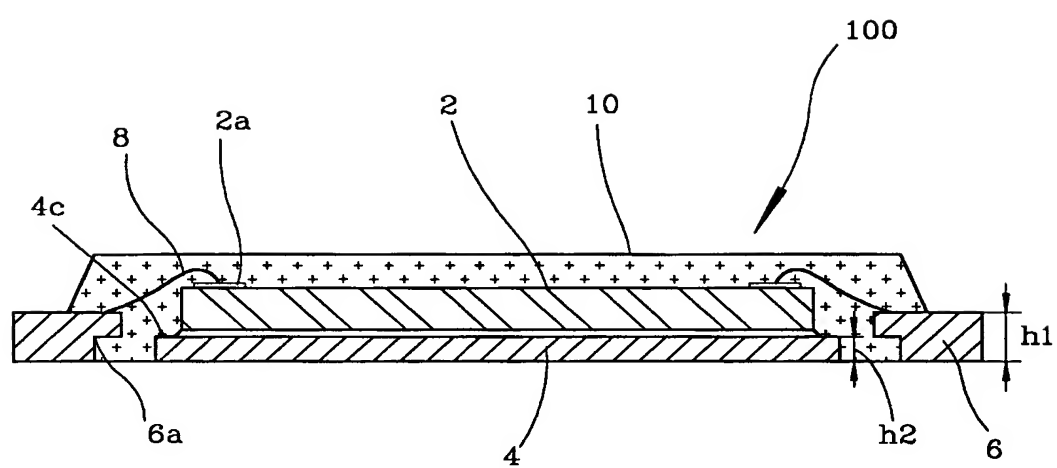
【청구항 2】

제1항에 있어서, 상기 칩탑재판은 두께가 내부리드 두께의 대략 25~75%인 것을 특징으로 하는 반도체패키지.

【도 1b】



【도 2】





Attorney Docket: AMKOR-053G
Serial No.: 10/763,859

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants:	Tae Heon Lee et al.)	Confirmation No.	8528
)		
Serial No.:	10/763,859)	Art Unit:	2814
)		
Filed:	01/23/2004)	Examiner:	Cao, Phat X.
)		
For:	Semiconductor Package Having)		
	Reduced Thickness)		

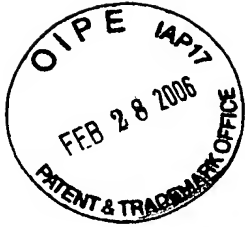
CERTIFICATE OF TRANSLATION OF FOREIGN PRIORITY DOCUMENT
UNDER 37 C.F.R. §1.55(a)

Attached hereto as Exhibit A is an English language translation of Korean Patent Application No. 99-44651, which was filed in Korea on October 15, 1999. I, the undersigned, hereby certify that the English language translation attached as Exhibit A is an accurate translation of Korean Patent Application No. 99-44651.

By: Hong Seung-jin

Print Name: HONG, Seung-jin

Dated: February 14, 2006



(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)

(12) PATENT APPLICATION PUBLICATION GAZETTE (A)

(51) Int. Cl.⁶

(11) Publication No.: P2001-0037247

5 H01L 23/10

(43) Publication date: May 7, 2001

(21) Application No.: 10-1999-0044651

(22) Application date: October 15, 1999

(71) Applicants: Amkor Technology Korea, Inc. & Michael D. O'brian

957, Daechon-dong, Buk-gu, Gwangju city

10 (72) Inventors:

SEO, Mu-Hwan

105-1102, Kunyoung Apartment, Inchang-dong, Guri-si, Gyeonggi-do,
Korea

LEE, Tae-Heon

15 # 602-1504, Jugong Apartment 6 danji, Inchang-dong, Guri-si, Gyeonggi-do,
Korea

(74) Attorney: SUH, Man-kyu

Request for examination: Filed

(54) SEMICONDUCTOR PACKAGE

20 **ABSTRACT**

The present invention relates to a semiconductor package. The purpose of the present invention is to reduce the thickness of Micro LeadFrame (MLF) type semiconductor package.

The semiconductor package of the present invention includes a
25 semiconductor chip on which a plurality of input output pads are formed; a chip

support paddle attached to the bottom surface of the semiconductor chip by using an adhesive; a plurality of inner leads formed to be separated by a predetermined distance from adjacent others at outward of the chip support paddle; a plurality of conductive wires for electrically connecting the input output pads of the semiconductor chip to inner leads; and a package body formed by encapsulating the semiconductor chip, conductive wires, the chip support paddle and the inner leads by means of an encapsulant, wherein the bottom surface of the chip support paddle, the bottom surface and the side surface of the inner leads are exposed outward through the encapsulant;, wherein the chip support paddle is formed to be have a thinner thickness than the inner leads by forming a half etching surface over the entire upper surface of the chip paddle.

REPRESENTATIVE FIGURE

FIG. 2

SPECIFICATION

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1a and FIG.1b are a sectional view and a bottom view showing a related art semiconductor package.

FIG.2 is a sectional view showing a semiconductor package according to the present invention.

-BRIEF DESCRIPTION OF REFERENCE NUMERALS-

- | | |
|---|--------------------------|
| 100: a semiconductor package | 2; a semiconductor chip |
| 2a; input output pads | 4; a chip support paddle |
| 4c; a half etching surface of the chip support paddle | 6; inner leads |
| 6a; half etching surface of the inner leads | 8; conductive wires |

10; a package body

28; tie bars

DETAILED DESCRIPTION OF THE INVENTION

OBJECT OF THE INVENTION

RELATED FIELD OF THE INVENTION AND PRIOR ART

5 The present invention relates to a semiconductor package, and more particularly to a semiconductor package capable of reducing the thickness in the Micro LeadFrame (MLF) type semiconductor package.

 In a mother board of the recent electronic appliances such as a mobile phone, a cellular phone, a note book personal computer, etc., a plurality of the
10 semiconductor chips are packaged to perform their multi-functions within a minimum period of the time and the electronic appliances themselves trend toward their small-sized. Therefore, not only the semiconductor chip is highly integrated, but also the size of the semiconductor package, which is packaging the semiconductor chip, is reduced, and the mounting density of the semiconductor
15 package is further highly increased.

 According to the above trend, recently the semiconductor package, which transmits the electronic signal from the semiconductor chip to the mother board and supports the semiconductor chip as the predetermined form on the mother board, has developed with a size approximately 1×1mm ~ 10×10mm. As an
20 example of such semiconductor package, the Micro LeadFrame (MLF) type package has been known.

 Herein, the MLF type package (100') is illustrated in FIG.1a and FIG.1b.

 As shown in the drawings, a semiconductor chip (2) having a plurality of input output pads (2a) on its upper surface is prepared, a chip support paddle (4) is
25 attached to the bottom surface of the semiconductor chip (2) by using an adhesive.

The chip support paddle (4) has a half etching surface (4a) at the peripheral of the side surface thereof and has tie bars (28) extended outward of the corner thereof and formed with a half etching surface (not shown). A plurality of leads (6), arranged in a radial shape at outward of the chip support paddle (4) and formed with a half etching surface (6a) at the end facing the chip support paddle (4), are prepared. The input output pads (2a) of the semiconductor chip (2) and the inner leads (6) are connected by conductive wires (8) each other. Next, the semiconductor chip (2), the conductive wires (8), the chip support paddle (4) and the inner leads (6) are encapsulated with an encapsulant so as to form a package body (10), while the bottom surfaces of the chip support paddle (4), the inner leads (6) and the tie bars (28) are exposed through the bottom surface of the package body (10).

However, the above conventional semiconductor package is limited to make the entire thickness thin because the chip support paddle has same thickness as the inner leads. In addition, since the thickness of the chip support paddle is the same as the thickness of the inner leads, the input output pads' position of the semiconductor chip mounted on the chip support paddle is much higher than the inner leads' position. Thus, there is a problem that the loop height of the conductive wires which connect the semiconductor chip to the inner leads becomes high. As mentioned above, when the loop height is high, the wire sweeping problem may be occurred during the manufacture process of the semiconductor package (especially, during the encapsulation process).

Meanwhile, in the conventional semiconductor package to reduce the thickness thereof, there is known a back grinding technique which mounts the semiconductor chip on the chip support paddle after back grinding the

semiconductor chip. However, this affects a bad effect to the semiconductor chip. That is, since the thin semiconductor chip is easy to be warpage, the internal integrated circuit is damaged or cracked. In addition, during the back grinding process, the semiconductor chip itself may be cracked or damaged.

5 **TECHNICAL OBJECT TO ACHIEVE**

Accordingly, the present invention has been made to solve the above-mentioned problems occurring in the prior art, and an object of the present invention is to provide a semiconductor package having a thin thickness without a back grinding process of the semiconductor chip.

10 **CONSTRUCTION AND OPERATION OF THE INVENTION**

In order to accomplish this object, there is provided a semiconductor chip on which a plurality of input output pads are formed; a chip support paddle attached to the bottom surface of the semiconductor chip by using an adhesive; a plurality of inner leads formed to be separated by a predetermined distance from adjacent
15 others at outward of the chip support paddle; a plurality of conductive wires for electrically connecting the input output pads of the semiconductor chip to inner leads; and a package body formed by encapsulating the semiconductor chip, conductive wires, the chip support paddle and the inner leads by means of an encapsulant, wherein the bottom surface of the chip support paddle, the bottom
20 surface and the side surface of the inner leads are exposed outward through the encapsulant;, wherein the chip support paddle is formed to be have a thinner thickness than the inner leads by forming a half etching surface over the entire upper surface of the chip paddle.

Herein, it is preferred that the thickness of the chip support paddle is
25 approximately 20~75% of the thickness of the inner leads.

As mentioned above, the semiconductor package according to the present invention forms the half etching surface over the entire upper surface of the chip support paddle so that the thickness of the chip support paddle becomes thinner than that of the inner leads. Therefore, the thickness of the semiconductor package according to the present invention becomes thinner than that of the conventional one.

A preferred embodiment of the present invention will now be described in detail with reference to the accompanying drawings.

FIG.2 is a sectional view showing a semiconductor package according to the present invention.

As shown in the drawing, there is a semiconductor chip (2) having a plurality of input output pads (2a), and a chip support paddle (4) attached to the bottom surface of the semiconductor chip (2). A plurality of inner leads (6) are formed to be separated by a predetermined distance from adjacent others outward of the chip support paddle (4), and the input output pads (2a) of the semiconductor chip (2) and the inner leads (6) are connected to each other through a plurality of wires (8). The semiconductor chip (2), the conductive wires (8), the chip support paddle (4), the inner leads (6), etc. are encapsulated with an encapsulant in order to form a package body (10), while the bottom surface of the chip support paddle (4) and the inner leads (6) respectively, and the side surface of the inner leads (6) are exposed to the outward through the package body (10). These structures are the same as the conventional one described above.

The present invention is characterized in that since the a half etching surface (4c) is formed over the entire upper surface of the chip support paddle (4),

the thickness (h2) of the chip support paddle (4) is thinner than the thickness (h1) of the inner leads (6).

It is preferred that the thickness (h2) of the chip support paddle (4) is approximately 25~75% in comparison with the thickness (h1) of the inner leads (6),
5 but the present invention is not limited to this range.

In addition, it is preferred that the process forming the half etching surface (4c) over the entire upper surface of the chip support paddle (4) is accomplished during the forming process of a half etching surface (6a) of the inner leads (6), but the present invention is not limited to this.

10 As mentioned above, since the half etching surface (4c) is formed over the entire upper surface of the chip paddle (4), the height of the semiconductor chip (2) is also lowered. Therefore, the wire sweeping problem, generated during the conventional encapsulation process of the semiconductor package (100), is restrained. In addition, since the height of the semiconductor chip (2) according to
15 the present invention is lowered comparing with that of the conventional one, the thickness of the package body (10) becomes thinner. As a result, the thickness of the semiconductor package (100) according to the present invention becomes thinner than that of the conventional one.

Although a preferred embodiment of the present invention has been
20 described for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

EFFECT OF THE INVENTION

As mentioned above, the semiconductor package of the present invention
25 forms the half etching surface over the entire upper surface of the chip support

paddle so that the thickness of the chip support paddle becomes thinner than that of the inner leads. Therefore, the package body, that is the semiconductor package of the present invention, is capable of having a thinner thickness than that of the conventional one.

5 In addition, since the thickness of the chip support paddle becomes thinner, the height of the semiconductor mounted thereon gets also lowered. Therefore, the loop height of the wires connecting the semiconductor chip to the inner leads gets lowered so that the wire sweeping problem can be solved.

CLAIMS

1. A semiconductor package comprising:

a semiconductor chip on which a plurality of input output pads are formed;

a chip support paddle attached to the bottom surface of the semiconductor
5 chip with an adhesive;

a plurality of the inner leads formed to be separated by a predetermined
distance from adjacent others outward of the chip support paddle;

a plurality of the conductive wires for electrically connecting the input output
pads of the semiconductor chip to inner leads; and

10 a package body formed by encapsulating the semiconductor chip,
conductive wires, the chip support paddle and the inner leads by means of an
encapsulant, wherein the bottom surface of the chip support paddle, the bottom
surface and the side surface of the inner leads are exposed outward through the
encapsulant;,

15 wherein the chip support paddle is formed to be have a thinner thickness
than the inner leads by forming a half etching surface over the entire upper surface
of the chip paddle.

2. The semiconductor package as set forth in claim 1, wherein the thickness
20 of the chip support paddle is approximately 20~75% of the thickness of the inner
leads.

DRAWINGS

FIG.1a

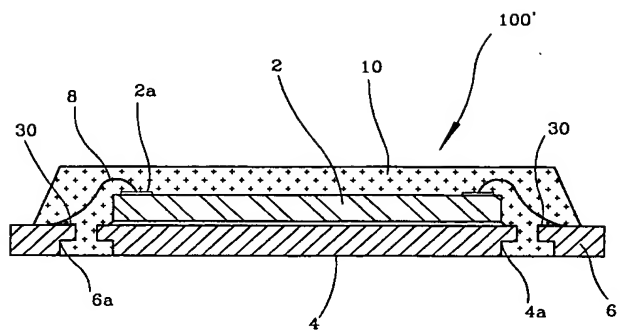
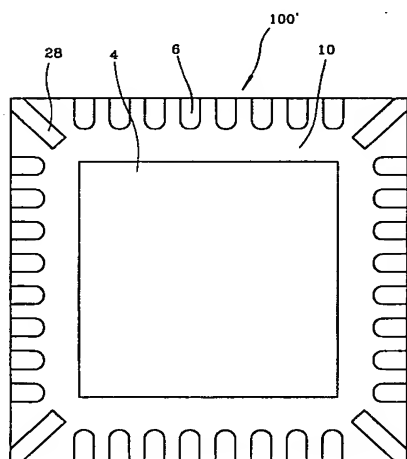


FIG.1b



5

FIG.2

